

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B1)

(11) 特許番号
特許第5932182号
(P5932182)

(45) 発行日 平成28年6月8日 (2016.6.8)

(24) 登録日 平成28年5月13日 (2016.5.13)

(51) Int.Cl.	F I
HO 4 N 5/357 (2011.01)	HO 4 N 5/335 5 7 O
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 2
GO 2 B 23/24 (2006.01)	GO 2 B 23/24 B
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A

請求項の数 8 (全 20 頁)

(21) 出願番号 特願2016-504831 (P2016-504831)	(73) 特許権者 000000376 オリンパス株式会社 東京都八王子市石川町2951番地
(86) (22) 出願日 平成27年9月15日 (2015.9.15)	
(86) 国際出願番号 PCT/JP2015/076145	(74) 代理人 100089118 弁理士 酒井 宏明
審査請求日 平成28年2月1日 (2016.2.1)	(72) 発明者 小野 誠 東京都渋谷区幡ヶ谷2丁目43番2号 オ リンパス株式会社内
(31) 優先権主張番号 特願2014-204820 (P2014-204820)	(72) 発明者 赤羽 奈々 東京都渋谷区幡ヶ谷2丁目43番2号 オ リンパス株式会社内
(32) 優先日 平成26年10月3日 (2014.10.3)	(72) 発明者 齋藤 匡史 東京都渋谷区幡ヶ谷2丁目43番2号 オ リンパス株式会社内
(33) 優先権主張国 日本国 (JP)	

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 撮像素子、撮像装置、内視鏡および内視鏡システム

(57) 【特許請求の範囲】

【請求項 1】

二次元マトリクス状に配置され、各々が外部から光を受光し、受光量に応じた電荷を蓄積する複数の光電変換素子と、

前記複数の光電変換素子の各々で蓄積された電荷を電圧に変換して撮像信号を生成する撮像信号生成部と、

前記撮像信号生成部によって生成された前記撮像信号と同相の揺らぎ成分を持つ基準信号を生成する基準信号生成部と、

を備え、

前記撮像信号生成部は、

前記複数の光電変換素子の各々で蓄積された電荷を前記撮像信号に変換する変換回路と

、

前記撮像信号に含まれるノイズ成分を除去するノイズ除去回路と、

前記変換回路から前記撮像信号を出力する出力回路と、

を有し、

前記基準信号生成部は、

前記変換回路、前記ノイズ除去回路および前記出力回路のうち少なくとも1つと同一構造の回路を有することを特徴とする撮像素子。

【請求項 2】

前記基準信号生成部は、

前記変換回路と同一構造の変換回路を有することを特徴とする請求項 1 に記載の撮像素子。

【請求項 3】

前記基準信号生成部は、

前記変換回路、前記ノイズ除去回路および前記出力回路の各々と同一構造の回路を有することを特徴とする請求項 1 に記載の撮像素子。

【請求項 4】

前記基準信号生成部は、

前記出力回路と同一構造の出力回路を有することを特徴とする請求項 1 に記載の撮像素子。

10

【請求項 5】

前記変換回路は、

少なくとも、前記光電変換素子から電荷を前記撮像信号に変換する画素ソースフォロア回路を有することを特徴とする請求項 1 に記載の撮像素子。

【請求項 6】

請求項 1 に記載の撮像素子を備えたことを特徴とする撮像装置。

【請求項 7】

請求項 6 に記載の撮像装置を、挿入部の先端側に備えることを特徴とする内視鏡。

【請求項 8】

請求項 7 に記載の内視鏡と、

前記撮像信号と前記基準信号とを用いて画像信号に変換する処理装置と、
を備えたことを特徴とする内視鏡システム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被写体を撮像して該被写体の画像データを生成する撮像素子、撮像装置、内視鏡および内視鏡システムに関する。

【背景技術】

【0002】

従来、CMOS (Complementary Metal-Oxide Semiconductor) イメージセンサ等の撮像素子は、行単位で転送した画像信号をサンプルホールド回路で保持し、列読み出し回路により 1 画素毎に水平出力信号線へ順次出力し画像信号の読み出しを行う。このような撮像素子において、撮像素子内に基準電圧信号を生成する基準電圧発生器を設け、撮像素子の外部に設けられたアナログ・フロント・エンド回路 (以下、「AFE 回路」という) を用いて、基準電圧信号と画像信号との差分を取ることによって、撮像素子の固定パターンノイズを低減する技術が知られている (特許文献 1 参照)。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 159115 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した特許文献 1 では、撮像素子からの画像信号に、電源の同相揺らぎ成分 (リップル成分) が重畳している場合、AFE 回路で画像信号に重畳された電源の同相揺らぎ成分を除去することができないため、画質が劣化してしまうという問題点があった。

【0005】

本発明は、上記に鑑みてなされたものであって、画質の劣化を防止することができる撮像素子、撮像装置、内視鏡および内視鏡システムを提供することを目的とする。

50

【課題を解決するための手段】**【0006】**

上述した課題を解決し、目的を達成するために、本発明に係る撮像素子は、二次元マトリクス状に配置され、各々が外部から光を受光し、受光量に応じた電荷を蓄積する複数の光電変換素子と、前記複数の光電変換素子の各々で蓄積された電荷を電圧に変換して撮像信号を生成する撮像信号生成部と、前記撮像信号生成部によって生成された前記撮像信号と同相の揺らぎ成分を持つ基準信号を生成する基準信号生成部と、を備えたことを特徴とする。

【0007】

また、本発明に係る撮像素子は、上記発明において、前記撮像信号生成部は、複数の回路を用いて構成され、前記基準信号生成部は、前記光電変換素子および前記複数の回路のうち少なくとも1つと等価な構造の素子または回路を有することを特徴とする。

10

【0008】

また、本発明に係る撮像素子は、上記発明において、前記撮像信号生成部は、前記複数の光電変換素子の各々で蓄積された電荷を前記撮像信号に変換する変換回路と、前記撮像信号に含まれるノイズ成分を除去するノイズ除去回路と、前記電圧変換回路から前記撮像信号を出力する出力回路と、を有し、前記基準信号生成部は、前記光電変換素子、前記変換回路、前記ノイズ除去回路および前記出力回路のうち少なくとも1つと等価な構造の素子または回路を有することを特徴とする。

【0009】

また、本発明に係る撮像素子は、上記発明において、前記基準信号生成部は、前記変換回路と等価な構造の変換回路を有することを特徴とする。

20

【0010】

また、本発明に係る撮像素子は、上記発明において、前記基準信号生成部は、前記光電変換素子と等価な構造の光電変換素子を有することを特徴とする。

【0011】

また、本発明に係る撮像素子は、上記発明において、前記基準信号生成部は、前記変換回路、前記ノイズ除去回路および前記出力回路の各々と等価な構造の回路を有することを特徴とする。

【0012】

また、本発明に係る撮像素子は、上記発明において、前記基準信号生成部は、前記出力回路と等価な構造の出力回路を有することを特徴とする。

30

【0013】

また、本発明に係る撮像素子は、上記発明において、前記変換回路は、少なくとも、前記光電変換素子から電荷を前記撮像信号に変換する画素ソースフォロア回路を有することを特徴とする。

【0014】

また、本発明に係る撮像装置は、上記の撮像素子を備えたことを特徴とする。

【0015】

また、本発明に係る内視鏡は、上記の撮像装置を、挿入部の先端側に備えることを特徴とする。

40

【0016】

また、本発明に係る内視鏡システムは、上記の内視鏡と、前記撮像信号と前記基準信号とを用いて画像信号に変換する処理装置と、を備えたことを特徴とする。

【発明の効果】**【0017】**

本発明によれば、画質の劣化を防止することができるという効果を奏する。

【図面の簡単な説明】**【0018】**

【図1】図1は、本発明の実施の形態1に係る内視鏡システムの全体構成を模式的に示す

50

図である。

【図２】図２は、本発明の実施の形態１に係る内視鏡システムの要部の機能を示すブロック図である。

【図３】図３は、本発明の実施の形態１に係る内視鏡システムにおける撮像部の第１チップの詳細な構成を示すブロック図である。

【図４】図４は、本発明の実施の形態１に係る内視鏡システムにおける撮像部の第１チップの構成を示す回路図である。

【図５】図５は、本発明の実施の形態１に係る内視鏡システムにおける撮像部の駆動信号を示すタイミングチャートである。

【図６】図６は、本発明の実施の形態２に係る内視鏡システムにおける撮像部の第１チップの詳細な構成を示すブロック図である。

10

【図７】図７は、本発明の実施の形態２に係る内視鏡システムにおける撮像部の第１チップの構成を示す回路図である。

【発明を実施するための形態】

【００１９】

以下、本発明を実施するための形態（以下、「実施の形態」という）として、撮像装置を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間においても、互いの寸法や比率が異なる部分が含まれている。

20

【００２０】

（実施の形態１）

〔内視鏡システムの構成〕

図１は、本発明の実施の形態１に係る内視鏡システムの全体構成を模式的に示す図である。図１に示す内視鏡システム１は、内視鏡２と、伝送ケーブル３と、コネクタ部５と、プロセッサ６（処理装置）と、表示装置７と、光源装置８と、を備える。

【００２１】

内視鏡２は、伝送ケーブル３の一部である挿入部１００を被検体の体腔内に挿入することによって被検体の体内画像を撮像して撮像信号（画像データ）をプロセッサ６へ出力する。また、内視鏡２は、伝送ケーブル３の一端側であり、被検体の体腔内に挿入される挿入部１００の先端１０１側に、体内画像の撮像を行う撮像部２０（撮像装置）が設けられ、挿入部１００の基端１０２側に、内視鏡２に対する各種操作を受け付ける操作部４が接続される。撮像部２０は、伝送ケーブル３により、操作部４を介してコネクタ部５に接続される。撮像部２０が撮像した画像の撮像信号は、例えば、数ｍの長さを有する伝送ケーブル３を通り、コネクタ部５に出力される。

30

【００２２】

コネクタ部５は、内視鏡２、プロセッサ６および光源装置８に接続され、接続された内視鏡２が出力する撮像信号に所定の信号処理を施すとともに、撮像信号をアナログ信号からデジタル信号に変換（Ａ／Ｄ変換）して画像信号としてプロセッサ６へ出力する。

40

【００２３】

プロセッサ６は、コネクタ部５から出力される画像信号に所定の画像処理を施すとともに、内視鏡システム１全体を統括的に制御する。なお、本実施の形態１では、プロセッサ６が処理装置として機能する。

【００２４】

表示装置７は、プロセッサ６が画像処理を施した画像信号に対応する画像を表示する。また、表示装置７は、内視鏡システム１に関する各種情報を表示する。

【００２５】

光源装置８は、例えばハロゲンランプや白色ＬＥＤ（Light Emitting Diode）等を用いて構成され、コネクタ部５、伝送ケーブル３を経由して内視鏡２の挿入部１００の先端

50

101側から被写体へ向けて照明光を照射する。

【0026】

図2は、内視鏡システム1の要部の機能を示すブロック図である。図2を参照して、内視鏡システム1の各部構成の詳細および内視鏡システム1内の電気信号の経路を説明する。

【0027】

図2に示すように、撮像部20は、第1チップ21（撮像素子）と、第2チップ22とを備える。

【0028】

第1チップ21は、複数の単位画素が行列方向に2次元マトリクス状に配置される受光部23と、受光部23で光電変換された撮像信号を読み出す読み出し部24と、コネクタ部5から入力された基準クロック信号および同期信号に基づきタイミング信号を生成して読み出し部24に出力するタイミング生成部25と、読み出し部24が受光部23から読み出した撮像信号および基準信号を一時的に保持するバッファ26と、を有する。なお、第1チップ21のより詳細な構成については、図3を参照して後述する。

【0029】

第2チップ22は、伝送ケーブル3およびコネクタ部5を介して、第1チップ21から出力される撮像信号をプロセッサ6へ送信する送信部として機能するバッファ27を有する。なお、第1チップ21と第2チップ22に搭載される回路の組み合わせは設定の都合に合わせて適宜変更可能である。

【0030】

また、撮像部20は、伝送ケーブル3を介してプロセッサ6内の電源部61で生成された電源電圧VDDをグランドGNDとともに受け取る。撮像部20に供給される電源電圧VDDとグランドGNDとの間には、電源安定用のコンデンサC100が設けられている。

【0031】

コネクタ部5は、アナログ・フロント・エンド部51（以下、「AFE部51」という）と、撮像信号処理部52と、駆動信号生成部53と、を有する。コネクタ部5は、内視鏡2（撮像部20）とプロセッサ6とを電氣的に接続し、電気信号を中継する中継処理部として機能する。コネクタ部5と撮像部20は、伝送ケーブル3で接続され、コネクタ部5とプロセッサ6とは、コイルケーブルにより接続される。また、コネクタ部5は、光源装置8にも接続されている。

【0032】

AFE部51は、撮像部20から伝送された撮像信号を受信し、抵抗などの受動素子でインピーダンスマッチングを行った後、コンデンサで交流成分をとりだし、分圧抵抗で動作点を決定する。AFE部51は、撮像部20から伝送されたアナログの撮像信号にA/D変換を行ってデジタルの撮像信号として撮像信号処理部52へ出力する。

【0033】

撮像信号処理部52は、AFE部51から入力されるデジタルの撮像信号に対して、縦ライン除去やノイズ除去等の所定の信号処理を行ってプロセッサ6へ出力する。撮像信号処理部52は、例えばFPGA(Field Programmable Gate Array)を用いて構成される。

【0034】

駆動信号生成部53は、プロセッサ6から供給され、内視鏡2の各構成部の動作の基準となる基準クロック信号（例えば、27MHzのクロック信号）に基づいて、各フレームのスタート位置を表す同期信号を生成して、基準クロック信号とともに、伝送ケーブル3を介して撮像部20のタイミング生成部25へ出力する。ここで、駆動信号生成部53が生成する同期信号は、水平同期信号と垂直同期信号とを含む。

【0035】

プロセッサ6は、内視鏡システム1の全体を統括的に制御する制御装置である。プロセ

10

20

30

40

50

ッサ 6 は、電源部 6 1 と、画像信号処理部 6 2 と、クロック生成部 6 3 と、を備える。

【 0 0 3 6 】

電源部 6 1 は、電源電圧 V D D を生成し、この生成した電源電圧 V D D をグランド G N D とともに、コネクタ部 5 および伝送ケーブル 3 を介して、撮像部 2 0 に供給する。

【 0 0 3 7 】

画像信号処理部 6 2 は、撮像信号処理部 5 2 で信号処理が施されたデジタルの撮像信号に対して、同時化処理、ホワイトバランス (W B) 調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ (D / A) 変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する。

【 0 0 3 8 】

クロック生成部 6 3 は、内視鏡システム 1 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号を駆動信号生成部 5 3 へ出力する。

【 0 0 3 9 】

表示装置 7 は、画像信号処理部 6 2 から入力される画像信号に基づいて、撮像部 2 0 が撮像した画像を表示する。表示装置 7 は、液晶や有機 E L (Electro Luminescence) 等の表示パネル等を用いて構成される。

【 0 0 4 0 】

〔 第 1 チップの構成 〕

次に、上述した第 1 チップ 2 1 の詳細な構成について説明する。

図 3 は、図 2 に示す第 1 チップ 2 1 の詳細な構成を示すブロック図である。図 4 は、第 1 チップ 2 1 の構成を示す回路図である。

【 0 0 4 1 】

図 3 および図 4 に示すように、第 1 チップ 2 1 は、受光部 2 3 と、読み出し部 2 4 (駆動部) と、タイミング生成部 2 5 と、バッファ 2 6 と、ヒステリシス部 2 8 と、を有する。

【 0 0 4 2 】

ヒステリシス部 2 8 は、伝送ケーブル 3 を介して入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部 2 5 へ出力する。

【 0 0 4 3 】

タイミング生成部 2 5 は、ヒステリシス部 2 8 から入力された基準クロック信号および同期信号に基づいて、各種の駆動信号を生成し、後述する読み出し部 2 4 の垂直走査部 2 4 1 (行選択回路) と、ノイズ除去部 2 4 3 と、水平走査部 2 4 5、後述する基準信号生成部 2 4 8 のノイズ除去部 2 4 3 a、後述するバッファ 2 6 のマルチプレクサ 2 6 3 へ出力する。

【 0 0 4 4 】

読み出し部 2 4 は、後述する受光部 2 3 の複数の画素の各々から出力される撮像信号および基準信号生成部 2 4 8 から出力される基準信号をそれぞれ異なる期間に転送する。

【 0 0 4 5 】

ここで、読み出し部 2 4 の詳細な構成について説明する。読み出し部 2 4 は、垂直走査部 2 4 1 (行選択回路) と、電流源 2 4 2 と、ノイズ除去部 2 4 3 (ノイズ除去回路) と、列ソースフォロアバッファ 2 4 4 と、水平走査部 2 4 5 と、基準電圧生成部 2 4 6 と、基準信号生成部 2 4 8 と、を含む。

【 0 0 4 6 】

垂直走査部 2 4 1 は、タイミング生成部 2 5 から入力される駆動信号 (ϕT , ϕR 等) に基づいて、受光部 2 3 の選択された行 $\langle M \rangle$ ($M = 0, 1, 2 \dots, m - 1, m$) に行選択パルス $\phi T \langle M \rangle$ および $\phi R \langle M \rangle$ を印可して、受光部 2 3 の各単位画素 2 3 0 を電流源 2 4 2 で駆動することによって、撮像信号および画素リセット時のノイズ信号を垂直転送線 2 3 9 (第 1 の転送線) に転送し、ノイズ除去部 2 4 3 および後述する基準信号生成部 2 4 8 のノイズ除去部 2 4 3 a に出力する。

10

20

30

40

50

【 0 0 4 7 】

ノイズ除去部 2 4 3 は、各単位画素 2 3 0 の出力ばらつきと、画素リセット時のノイズ信号とを除去し、各単位画素 2 3 0 で光電変換された撮像信号を出力する。なお、ノイズ除去部 2 4 3 の詳細は、後述する。

【 0 0 4 8 】

水平走査部 2 4 5 は、タイミング生成部 2 5 から供給される駆動信号 ($\phi HCLK$) に基づいて、受光部 2 3 の選択された列 $\langle N \rangle$ ($N = 0, 1, 2 \dots, n - 1, n$) に列選択パルス $\phi HCLK(N)$ を印可し、各単位画素 2 3 0 で光電変換された撮像信号を、ノイズ除去部 2 4 3 を介して水平転送線 2 5 8 (第 2 の転送線) に転送し、バッファ 2 6 に出力する。

10

【 0 0 4 9 】

第 1 チップ 2 1 の受光部 2 3 には、多数の単位画素 2 3 0 (光電変換部) が二次元マトリクス状に配列され、各々が外部から光を受光し、受光量に応じた電荷を蓄積する複数の光電変換素子 2 3 1 を有する。各単位画素 2 3 0 は、光電変換素子 2 3 1 (フォトダイオード) と、電荷変換部 2 3 3 と、転送トランジスタ 2 3 4 (第 1 の転送部) と、画素リセット部 2 3 6 (トランジスタ) と、画素ソースフォロアトランジスタ 2 3 7 (電圧変換回路) と、を含む。なお、本実施の形態 1 では、1 または複数の光電変換素子と、それぞれの光電変換素子から信号電荷を電荷変換部 2 3 3 に転送するための転送トランジスタとを単位セルと呼ぶ。即ち、単位セルには、1 または複数の光電変換素子と転送トランジスタとの組みが含まれ、各単位画素 2 3 0 には、1 つの単位セルが含まれる。また、受光部 2 3 (光電変換素子 2 3 1)、電流源 2 4 2、ノイズ除去部 2 4 3、列ソースフォロアバッファ 2 4 4 および水平走査部 2 4 5 で構成される回路が複数の光電変換素子 2 3 1 の各々で蓄積された電荷を電圧に変換して撮像信号を生成する撮像信号生成部 2 4 0 として機能する。

20

【 0 0 5 0 】

光電変換素子 2 3 1 は、入射光をその光量に応じた信号電荷量に光電変換して蓄積する。光電変換素子 2 3 1 は、カソード側が転送トランジスタ 2 3 4 の一端側に接続され、アノード側がグランド GND に接続される。

【 0 0 5 1 】

電荷変換部 2 3 3 は、浮遊拡散容量 (FD) からなり、光電変換素子 2 3 1 で蓄積された電荷を電圧に変換する。

30

【 0 0 5 2 】

転送トランジスタ 2 3 4 は、光電変換素子 2 3 1 から電荷変換部 2 3 3 に電荷を転送する。転送トランジスタ 2 3 4 は、ゲートに駆動信号 ϕT が供給される信号線が接続され、他端側に電荷変換部 2 3 3 が接続される。転送トランジスタ 2 3 4 は、垂直走査部 2 4 1 から信号線を介して駆動信号 ϕT が供給されると、オン状態となり、光電変換素子 2 3 1 から電荷変換部 2 3 3 に信号電荷を転送する。

【 0 0 5 3 】

画素リセット部 2 3 6 (トランジスタ) は、電荷変換部 2 3 3 を所定電位にリセットする。画素リセット部 2 3 6 は、一端側が電源電圧 VDD に接続され、他端側が電荷変換部 2 3 3 に接続され、ゲートには駆動信号 ϕR が供給される信号線が接続される。画素リセット部 2 3 6 は、垂直走査部 2 4 1 から信号線を介して駆動信号 ϕR が供給されると、オン状態となり、電荷変換部 2 3 3 に蓄積された信号電荷を放出させて、電荷変換部 2 3 3 を所定電位にリセットする。

40

【 0 0 5 4 】

画素ソースフォロアトランジスタ 2 3 7 (変換回路) は、一端側が電源電圧 VDD に接続され、他端側が垂直転送線 2 3 9 に接続され、ゲートには電荷変換部 2 3 3 で電圧変換された信号 (撮像信号またはリセット時の信号) が入力される。画素ソースフォロアトランジスタ 2 3 7 は、転送トランジスタ 2 3 4 のゲートに駆動信号 ϕT が供給されると、光電変換素子 2 3 1 から電荷を読み出し、電荷変換部 2 3 3 にて電圧変換された後の撮像信

50

号を垂直転送線 239 へ転送する。なお、本実施の形態 1 では、画素ソースフォロアトランジスタ 237 が複数の光電変換素子の各々で蓄積された電荷を撮像信号に変換する変換回路として機能する。

【0055】

電流源 242 は、一端側が垂直転送線 239 に接続され、他端側がグランド GND に接続され、ゲートにはバイアス電圧 V_{bias1} が印加される。電流源 242 は、単位画素 230 を駆動し、単位画素 230 の出力（撮像信号）を垂直転送線 239 へ読み出す。垂直転送線 239 へ読み出された信号（撮像信号）は、ノイズ除去部 243 に入力される。

【0056】

ノイズ除去部 243 は、転送容量 252（AC 結合コンデンサ）と、クランプスイッチ 253（トランジスタ）と、を含む。転送容量 252 は、一端側が垂直転送線 239 に接続され、他端側が列ソースフォロアバッファ 244 に接続される。クランプスイッチ 253 は、一端側が基準電圧生成部 246 からクランプ電圧 V_{clp} が供給される信号線に接続され、他端側が転送容量 252 と列ソースフォロアバッファ 244 との間に接続され、ゲートにはタイミング生成部 25 から駆動信号 ϕ_{VCL} が入力される。なお、ノイズ除去部 243 に入力される撮像信号には、ノイズ生成が含まれる。また、本実施の形態 1 では、ノイズ除去部 243 がノイズ除去回路として機能する。

【0057】

ノイズ除去部 243 は、タイミング生成部 25 から駆動信号 ϕ_{VCL} がクランプスイッチ 253 のゲートに入力されると、クランプスイッチ 253 がオン状態となり、転送容量 252 が基準電圧生成部 246 から供給されるクランプ電圧 V_{clp} によりリセットされる。ノイズ除去部 243 でノイズ除去された撮像信号は、列ソースフォロアバッファ 244 のゲートに入力される。

【0058】

ノイズ除去部 243 は、サンプリング用のコンデンサ（サンプリング容量）を必要としないため、転送容量 252（AC 結合コンデンサ）の容量が列ソースフォロアバッファ 244 の入力容量に対する十分な容量であればよい。さらに、ノイズ除去部 243 は、サンプリング容量の無い分、第 1 チップ 21 における占有面積を小さくすることができる。

【0059】

列ソースフォロアバッファ 244 は、一端側が電源電圧 V_{DD} に接続され、他端側が列選択スイッチ 254（第 2 の転送部）の一端側に接続され、ゲートにはノイズ除去部 243 を介して撮像信号が入力される。

【0060】

列選択スイッチ 254 は、一端側が列ソースフォロアバッファ 244 の他端側に接続され、他端側が水平転送線 258（第 2 の転送線）に接続され、ゲートには水平走査部 245 から駆動信号（列選択パルス） $\phi_{HCLK<N>}$ を供給するための信号線が接続される。列選択スイッチ 254 は、ゲートに水平走査部 245 から駆動信号 $\phi_{HCLK<N>}$ が供給されると、オン状態となり、列 $<N>$ の垂直転送線 239 の信号（撮像信号）を水平転送線 258 に転送（出力）する。なお、本実施の形態 1 では、列ソースフォロアバッファ 244 および列選択スイッチ 254 が画素ソースフォロアトランジスタ 237 から撮像信号を出力する出力回路として機能する。

【0061】

水平リセットトランジスタ 256 は、一端側が水平リセット電圧 V_{clr} に接続され、他端側が水平転送線 258 に接続され、ゲートにはタイミング生成部 25 から駆動信号 ϕ_{HCLR} が入力される。水平リセットトランジスタ 256 は、タイミング生成部 25 から駆動信号 ϕ_{HCLR} がゲートに入力されると、オン状態となり、水平転送線 258 をリセットする。

【0062】

定電流源 257 は、一端側が水平転送線 258 に接続され、他端側がグランド GND に接続され、ゲートにはバイアス電圧 V_{bias2} が印加される。定電流源 257 は、列ソ

10

20

30

40

50

ースフォロアバッファ244を駆動し、信号（撮像信号）を垂直転送線239から水平転送線258へ読み出す。水平転送線258へ読み出された信号（撮像信号）は、バッファ26に入力され保持される。

【0063】

基準信号生成部248は、単位画素230の列とは別に、専用の垂直転送線239aに接続される。基準信号生成部248は、撮像信号生成部240で形成される出力信号（撮像信号）に存在する電源の揺らぎ成分と同じ同相の揺らぎ成分を有する基準信号を生成する回路を有する。具体的には、基準信号生成部248は、撮像信号生成部240を構成する複数の回路のうち少なくとも1つ以上の回路と等価の構造である回路を有する。

【0064】

ここで、基準信号生成部248の詳細な構成について説明する。基準信号生成部248は、光電変換素子231a（ダミーフォトダイオード）と、電荷変換部233aと、転送トランジスタ234aと、画素リセット部236aと、画素ソースフォロアトランジスタ237aと、電流源242aと、ノイズ除去部243aと、列ソースフォロアバッファ244aと、列選択スイッチ254aと、を含む。

【0065】

光電変換素子231aは、上述した光電変換素子231と同等の構成を有し、入射光をその光量に応じた信号電荷量に光電変換して蓄積する。光電変換素子231aは、カソード側が転送トランジスタ234aの一端側に接続され、アノード側がグランドGNDに接続される。

【0066】

電荷変換部233aは、上述した電荷変換部233aと同様の構成を有し、光電変換素子231aで蓄積された電荷を電圧に変換する。

【0067】

転送トランジスタ234aは、上述した転送トランジスタ234と同様の構成を有し、光電変換素子231aから電荷変換部233aに電荷を転送する。転送トランジスタ234aは、ゲートに駆動信号φTが供給される信号線が接続され、他端側に電荷変換部233aが接続される。転送トランジスタ234aは、垂直走査部241から信号線を介して駆動信号φTが供給されると、オン状態となり、光電変換素子231aから電荷変換部233aに信号電荷を転送する。

【0068】

画素リセット部236aは、上述した画素リセット部236と同様の構成を有し、電荷変換部233aを所定電位にリセットする。画素リセット部236aは、一端側が電源電圧VDDに接続され、他端側が電荷変換部233aに接続され、ゲートには駆動信号φRが供給される信号線が接続される。画素リセット部236aは、垂直走査部241から信号線を介して駆動信号φRが供給されると、オン状態となり、電荷変換部233aに蓄積された信号電荷が放出され、電荷変換部233aを所定電位にリセットする。

【0069】

画素ソースフォロアトランジスタ237aは、上述した画素ソースフォロアトランジスタ237と同様の構成を有する。画素ソースフォロアトランジスタ237aは、一端側が電源電圧VDDに接続され、他端側が垂直転送線239aに接続され、ゲートには電荷変換部233aで電圧変換された信号（基準信号）が入力される。画素ソースフォロアトランジスタ237aは、転送トランジスタ234aのゲートに駆動信号φTが供給されると、光電変換素子231aから電荷を読み出され、電荷変換部233aに電圧変換された後の基準信号を垂直転送線239aへ転送する。

【0070】

電流源242aは、上述した電流源242と同様の構成を有する。電流源242aは、一端側が垂直転送線239aに接続され、他端側がグランドGNDに接続され、ゲートにはバイアス電圧Vbias1が印加される。電流源242aは、光電変換素子231aを駆動し、光電変換素子231aの出力（基準信号）を垂直転送線239aへ読み出す。垂

10

20

30

40

50

直転送線 239a へ読み出された信号（基準信号）は、ノイズ除去部 243a に入力される。

【0071】

ノイズ除去部 243a は、上述したノイズ除去部 243 と同様の構成を有し、転送容量 252a（AC 結合コンデンサ）と、クランプスイッチ 253a（トランジスタ）と、を含む。転送容量 252a は、一端側が垂直転送線 239a に接続され、他端側が列ソースフォロアバッファ 244a に接続される。クランプスイッチ 253a は、一端側が基準電圧生成部 246 からクランプ電圧 V_{clp} が供給される信号線に接続され、他端側が転送容量 252a と列ソースフォロアバッファ 244a との間に接続され、ゲートにはタイミング生成部 25 から駆動信号 ϕ_{VCL} が入力される。なお、ノイズ除去部 243a に入力される基準信号には、ノイズ成分が含まれる。

10

【0072】

ノイズ除去部 243a は、タイミング生成部 25 から駆動信号 ϕ_{VCL} がクランプスイッチ 253a のゲートに入力されると、クランプスイッチ 253a がオン状態となり、転送容量 252a が基準電圧生成部 246 から供給されるクランプ電圧 V_{clp} によりリセットされる。ノイズ除去部 243a でノイズ除去された基準信号は、列ソースフォロアバッファ 244a のゲートに入力される。

【0073】

列ソースフォロアバッファ 244a は、上述した列ソースフォロアバッファ 244 と同様の構成を有する。列ソースフォロアバッファ 244a は、一端側が電源電圧 V_{DD} に接続され、他端側が列選択スイッチ 254a の一端側に接続され、ゲートにはノイズ除去部 243a を介して基準信号が入力される。

20

【0074】

列選択スイッチ 254a は、上述した列選択スイッチ 254 と同様の構成を有する。列選択スイッチ 254a は、一端が列ソースフォロアバッファ 244a の他端側に接続され、他端側が水平転送線 258a に接続され、ゲートには水平走査部 245 から駆動信号 $\phi_{HCLK < N >}$ を供給するための信号線が接続される。列選択スイッチ 254a は、ゲートに水平走査部 245 から駆動信号 $\phi_{HCLK < N >}$ が供給されると、オン状態となり、垂直転送線 239a の信号（基準信号）を水平転送線 258a に転送する。

【0075】

30

定電流源 257a は、上述した定電流源 257 と同様の構成を有する。定電流源 257a は、一端側が水平転送線 258a に接続され、他端側がグランド GND に接続され、ゲートにはバイアス電圧 V_{bias2} が印加される。定電流源 257a は、列ソースフォロアバッファ 244a を駆動し、基準信号を垂直転送線 239a から水平転送線 258a へ読み出す。水平転送線 258a へ読み出された基準信号は、バッファ 26 に入力され保持される。

【0076】

このように基準信号生成部 248 は、撮像信号生成部 240 に含まれる複数の回路または素子のうち、少なくとも 1 つと等価な構造の素子または回路を有する。具体的には、基準信号生成部 248 は、撮像信号生成部 240 を構成する光電変換素子 231、電荷変換部 233、転送トランジスタ 234、画素リセット部 236、画素ソースフォロアトランジスタ 237、電流源 242、ノイズ除去部 243、列ソースフォロアバッファ 244 および列選択スイッチ 254 のうち、等価な構造の素子または回路、例えば光電変換素子 231a、電荷変換部 233a、転送トランジスタ 234a、画素リセット部 236a、画素ソースフォロアトランジスタ 237a、電流源 242a、ノイズ除去部 243a、列ソースフォロアバッファ 244a および列選択スイッチ 254a を有する。

40

【0077】

基準電圧生成部 246 は、2 つの抵抗 291 および抵抗 292 からなる抵抗分圧回路と、駆動信号 ϕ_{VSH} で駆動されるスイッチ 293 と、サンプル容量 294 と、オペアンプ 295 と、オペアンプ 296 と、オペアンプ 297 と、を含む。基準電圧生成部 246 は

50

、スイッチ 293 の駆動により駆動信号 ϕVSH が駆動するタイミングで、電源電圧 VDD から基準信号用電圧 Vfd_H と、ノイズ除去部 243 のクランプ電圧 $Vclp$ と、を生成する。

【0078】

バッファ 26 は、水平転送線 258 から入力される撮像信号および水平転送線 258 a から入力される基準信号 ($Vref$) をそれぞれ個別に保持し、タイミング生成部 25 から入力される信号 (駆動信号 $\phi MUXSEL$) に基づいて、順次切り替えて撮像信号および基準信号を第 2 チップ 22 へ出力する。

【0079】

ここで、バッファ 26 の詳細な構成について説明する。バッファ 26 は、第 1 サンプル
10
ホールド部 261 と、第 2 サンプルホールド部 262 と、マルチプレクサ 263 と、出力
バッファ 31 と、を有する。

【0080】

第 1 サンプルホールド部 261 は、第 1 バッファ 261 a と、第 1 サンプルホールドス
イッチ 261 b と、第 1 サンプル容量 261 c と、第 1 オペアンプ 261 d と、を含む。

【0081】

第 1 バッファ 261 a は、入力側に水平転送線 258 が接続され、出力側に第 1 サンプ
ルホールドスイッチ 261 b が接続される。第 1 バッファ 261 a は、水平転送線 258
を介して撮像信号および水平リセット電圧 ($Vclr$) が入力される。

【0082】

第 1 サンプルホールドスイッチ 261 b は、一端側が第 1 バッファ 261 a の出力側に
20
接続され、他端側が第 1 オペアンプ 261 d の入力側 (+ 側端子) に接続され、ゲートに
は駆動信号 ϕVSH が供給される信号線が接続される。

【0083】

第 1 サンプル容量 261 c は、一端側が第 1 サンプルホールドスイッチ 261 b の他端
側に接続され、他端側がグランド GND に接続される。

【0084】

第 1 オペアンプ 261 d は、入力側 (+ 側端子) が第 1 サンプルホールドスイッチ 26
1 b の他端側に接続され、出力側がマルチプレクサ 263 に接続される。また、第 1 オ
ペアンプ 261 d の出力は、抵抗 $R1$ を介して第 1 オペアンプ 261 d の反転入力端子 (-
側端子) に入力される。さらに、第 1 オペアンプ 261 d の反転入力端子 (- 側端子) に
30
は、抵抗 $R2$ を介して基準電圧生成部 246 から基準信号用電圧 Vfd_H が入力される
。

【0085】

このように構成された第 1 サンプルホールド部 261 は、第 1 サンプルホールドス
イッチ 261 b がオン状態になる直前の電圧を第 1 サンプル容量 261 c に保持し、第 1 サ
ンプルホールドスイッチ 261 b がオフ状態になっている間は、第 1 サンプル容量 261 c
に保持した電圧をマルチプレクサ 263 に出力する。

【0086】

第 2 サンプルホールド部 262 は、第 2 バッファ 262 a と、第 2 サンプルホールドス
イッチ 262 b と、第 2 サンプル容量 262 c と、第 2 オペアンプ 262 d と、を含む。
40

【0087】

第 2 バッファ 262 a は、入力側に水平転送線 258 a が接続され、出力側に第 2 サ
ンプルホールドスイッチ 262 b が接続される。第 2 バッファ 262 a は、水平転送線 25
8 a を介して基準信号が入力される。

【0088】

第 2 サンプルホールドスイッチ 262 b は、一端側が第 2 バッファ 262 a の出力側に
接続され、他端側が第 2 オペアンプ 262 d の入力側 (+ 側端子) に接続され、ゲートに
は駆動信号 ϕVSH が供給される信号線が接続される。

【0089】

第2サンプル容量262cは、一端側が第2サンプルホールドスイッチ262bの他端側に接続され、他端側がグランドGNDに接続される。

【0090】

第2オペアンプ262dは、入力側(+側端子)が第2サンプルホールドスイッチ262bの他端側に接続され、出力側がマルチプレクサ263に接続される。また、第2オペアンプ262dの出力は、抵抗R1を介して第2オペアンプ262dの反転入力端子(-側端子)に入力される。さらに、第2オペアンプ262dの反転入力端子(-側端子)には、抵抗R2を介して基準電圧生成部246から基準信号用電圧V_{fd}—Hが入力される。

【0091】

このように構成された第2サンプルホールド部262は、第2サンプルホールドスイッチ262bがオン状態になる直前の電圧を第2サンプル容量262cに保持し、第2サンプルホールドスイッチ262bがオフ状態になっている間は、第2サンプル容量262cに保持した電圧をマルチプレクサ263に出力する。

【0092】

マルチプレクサ263は、タイミング生成部25から入力される駆動信号φMUXSELに基づいて、第1サンプルホールド部261から入力される撮像信号および第2サンプルホールド部262から入力される基準信号を切り換えて出力バッファ31へ出力する。

【0093】

出力バッファ31は、ノイズ除去された撮像信号と基準信号(基準電圧V_{ref})とを必要に応じて信号増幅して、交互に第2チップ22に出力する。

【0094】

第2チップ22は、伝送ケーブル3を介して、ノイズ成分が除去された撮像信号および撮像信号と同相の揺らぎ成分を持つ基準信号それぞれをコネクタ部5に伝送する。

【0095】

〔撮像部の動作〕

次に、撮像部20の駆動タイミングについて説明する。図5は、撮像部20の駆動信号を示すタイミングチャートである。図5では、受光部23の行<0>および行<1>の単位画素230から信号を読み出し、出力バッファ31から出力されるまでを説明する。また、図5に示すタイミングチャートでは説明の便宜上、単位画素230に光電変換素子231のみが含まれるものとしている。単位画素230に複数の光電変換素子が含まれる場合には、このタイミングチャートに示す1映像信号ライン分の動作を単位画素230に含まれる光電変換素子231の数分だけ繰り返して行う。図5において、最上段から順に、駆動信号φ_R、φ_T、φ_{VCL}、φ_{HCLK}、φ_{HCLR}、出力信号V_{out}を示す。なお、図5において、駆動信号φ_R、φ_Tについては行<M>が<0>および<1>の場合を例示し、駆動信号φ_{HCLK}については列<N>が<0>、<1>および<2>の場合を例示している。

【0096】

図5に示すように、まず、クランプスイッチ253をオン(駆動信号φ_{VCL}がHigh)し、画素リセット部236をパルス状態にオン(パルス状の駆動信号φ_R<0>がHigh)、転送トランジスタ234をオフ(パルス状の駆動信号φ_T<0>がLow)することにより、読み出し対象の単位画素230特有のばらつきと、画素リセット時のノイズ等を含むノイズ信号を単位画素230から垂直転送線239に出力する。このとき、クランプスイッチ253をオン(駆動信号φ_{VCL}がHigh)状態にしたままにすることにより、列ソースフォロアバッファ244のゲートがクランプ電圧V_{clp}の電圧となる。このクランプ電圧V_{clp}は、駆動信号φ_{VSH}の立下りのタイミングで決定し、このタイミングで基準電圧V_{ref}も決定される。

【0097】

次に、クランプスイッチ253をオフ(駆動信号φ_{VCL}がLow)にした状態で、転送トランジスタ234をパルス状態にオン(パルス状の駆動信号φ_T<0>がHigh)す

10

20

30

40

50

ることにより、電荷変換部 233 が光電変換素子 231 によって光電変換された電荷を変換した信号を垂直転送線 239 に読み出す。この状態で、電荷変換部 233 によって電圧変換された撮像信号は、垂直転送線 239 に転送される。この動作により、転送容量 252 を介して、ノイズ信号が差し引かれた撮像信号（光信号）が、列ソースフォロアバッファ 244 のゲートに出力される。ここで、列ソースフォロアバッファ 244 のゲートに出力される信号は、クランプ電圧 V_{clp} を基準としてサンプリングされた信号である。

【0098】

クランプ電圧 V_{clp} を基準として撮像信号をサンプリングした後、水平リセットトランジスタ 256 をオフ（駆動信号 ϕ_{HCLR} が Low）にし、水平転送線 258 のリセットを解除する。

10

【0099】

その後、列<0>の列選択スイッチ 254 をオン（パルス状の駆動信号 $\phi_{HCLK<0>}$ が High）することにより、撮像信号を水平転送線 258 に転送する。この時、第 1 サンプルホールドスイッチ 261b をパルス状にオン（パルス状の駆動信号 ϕ_{HSH} が High）することにより、撮像信号が第 1 サンプル容量 261c にサンプリングされる。その後、マルチプレクサ 263 に Low レベルのパルス状の駆動信号 ϕ_{MUXSEL} （図 4 を参照）を印加して、第 1 サンプル容量 261c にサンプリングされた撮像信号を出力バッファ 31 に出力する。この時、マルチプレクサ 263 のパルス状の駆動信号 ϕ_{MUXSEL} と同期して、水平リセットトランジスタ 256 をオン（パルス状の駆動信号 ϕ_{HCLR} が High）にし、水平転送線 258 を再度リセットする。

20

【0100】

続いて、マルチプレクサ 263 に High レベルのパルス状の駆動信号 ϕ_{MUXSEL} （図 4 を参照）を印加し、基準信号生成部 248 で生成した撮像信号と同相の揺らぎ成分を持つ基準信号を出力バッファ 31 に出力するとともに、水平リセットトランジスタ 256 をオフ（駆動信号 ϕ_{HCLR} が Low）にし、リセットされていた水平転送線 258 のリセットを解除し、次の列の列選択スイッチ 254 をオン（駆動信号 $\phi_{HCLK<1>}$ が High）することにより、撮像信号を水平転送線 258 に転送する。この時、第 1 サンプルホールドスイッチ 261b をパルス状にオン（パルス状の駆動信号 ϕ_{HSH} （図 4 を参照）が High）することにより、撮像信号が第 1 サンプル容量 261c にサンプリングされる。そして、水平リセットトランジスタ 256 をオン（駆動信号 ϕ_{HCLR} が High）にし、水平転送線 258 を再度リセットするとともに、水平リセットトランジスタ 256 のパルスと同期して、マルチプレクサ 263 に Low レベルのパルス状の駆動信号 ϕ_{MUXSEL} （図 4 を参照）を印加して、サンプリングされた撮像信号を出力バッファ 31 に出力する。

30

【0101】

行<0>の撮像信号が全て水平転送線 258 に転送されたら、駆動信号 ϕ_{VSH} および駆動信号 ϕ_{VCL} を High レベルにした後、行<0>の撮像信号の転送を終了し、次の行<1>の撮像信号の転送を開始する。

【0102】

このような動作を、受光部 23 の列数分（または読み出しが必要な列数分）繰り返すことにより、撮像信号と、この撮像信号と同相の揺らぎ成分を持つ基準信号とが交互に出力バッファ 31 から出力される。1 ライン分の読み出し動作を単位画素行数分（または読み出しが必要な行数分）繰り返すことにより、1 フレーム分の撮像信号が出力される。

40

【0103】

以上説明した本実施の形態 1 によれば、1 画素毎に撮像信号と、この撮像信号と同相の揺らぎ成分を持つ基準信号とを交互に出力することができる。これにより、撮像信号生成部 240 から出力される撮像信号に重畳している電源のリップル成分と同じ同相の揺れ成分を含む基準信号（基準電圧 V_{ref} ）を基準信号生成部 248 から出力することによって、マルチプレクサ 263 以降の後段回路、例えばコネクタ部 5 に設けられる AFE 部 51 の相関二重サンプリング回路で、信号の伝送中に重畳するリップル成分（ノイズ成分）

50

を効果的に除去することができるので、画質の劣化を防止することができる。

【0104】

また、本実施の形態1によれば、暗時の撮像素子と基準信号との出力レベルの差分出力電圧のばらつき（PVT変動：Process Voltage Temperature）を抑えることができるので、撮像素子の歩留まりを向上させることができる。

【0105】

さらにまた、本実施の形態1によれば、電源電圧変動除去比（RSRP：Power Supply Rejection Ratio）の特性を向上させることができる。

【0106】

（実施の形態2）

次に、本発明の実施の形態2について説明する。本実施の形態2に係る撮像素子は、上述した実施の形態1に係る撮像素子（撮像部20）の構成のみが異なる。具体的には、本実施の形態2に係る撮像素子の受光部は、2つの光電変換素子を有し、この2つの光電変換素子を単位画素とする。さらに、本実施の形態2に係る撮像素子の基準信号生成部は、ダミー画素としての光電変換素子が省略されている。このため、以下においては、本実施の形態2に係る撮像素子（撮像部）の構成のみを説明する。なお、上述した実施の形態1に係る内視鏡システム1と同等の構成には同一の符号を付して説明を省略する。

【0107】

〔第1チップの構成〕

図6は、本実施の形態2に係る撮像部の第1チップの詳細な構成を示すブロック図である。図7は、本実施の形態2に係る撮像部の第1チップの詳細な構成を示す回路図である。

【0108】

図6および図7に示すように、第1チップ21a（撮像素子）は、上述した受光部23、バッファ26、基準電圧生成部246および基準信号生成部248それぞれに換えて、受光部23a、バッファ26a、基準電圧生成部246aおよび基準信号生成部248aを有する。

【0109】

受光部23aには、多数の単位画素230aが二次元マトリクス状に配列される。各単位画素230aは、光電変換素子231、光電変換素子232と、電荷変換部233と、転送トランジスタ234、転送トランジスタ235と、画素リセット部236と、画素ソースフォロアトランジスタ237および画素出力スイッチ238（信号出力部）と、を含む。なお、本実施の形態2では、1または複数の光電変換素子と、それぞれの光電変換素子から信号電荷を電荷変換部233に転送するための転送トランジスタとを単位セルと呼ぶ。すなわち、単位セルには1または複数の光電変換素子と転送トランジスタの組が含まれ、各単位画素230aには、1つの単位セルが含まれる。

【0110】

光電変換素子232は、入射光をその光量に応じた信号電荷量に光電変換して蓄積する。光電変換素子232のカソード側は、転送トランジスタ235の一端側に接続され、アノード側はグラウンドVDDに接続される。

【0111】

転送トランジスタ235は、光電変換素子232から電荷変換部233に電荷を転送する。転送トランジスタ235のゲートには、パルス状の駆動信号（行選択パルス）φT1およびφT2が供給される信号線が接続され、他端側は電荷変換部233に接続される。転送トランジスタ235は、垂直走査部241から信号線を介してパルス状の駆動信号φT1およびφT2が供給されると、転送トランジスタ235がオン状態となり、光電変換素子232から電荷変換部233に信号電荷を転送する。

【0112】

基準信号生成部248aは、単位画素230aの列とは別に、専用の垂直転送線239aに接続される。基準信号生成部248aは、撮像信号生成部240aで形成される出力

10

20

30

40

50

信号（撮像信号）に存在する電源揺らぎ成分と同じ同相の揺らぎ成分を有する基準信号を生成する回路を有する。基準信号生成部248aは、映像信号系回路を構成する複数回路のうち少なくとも1つ以上の回路と等価の構造である回路を有する。

【0113】

ここで、基準信号生成部248aの詳細な構成について説明する。基準信号生成部248aは、上述した基準信号生成部248の回路構成から、光電変換素子231a（ダミーフォトダイオード）と、電荷変換部233aと、転送トランジスタ234aと、画素リセット部236aが省略されている。具体的には、基準信号生成部248aは、画素ソースフォロアトランジスタ237bと、電流源242aと、ノイズ除去部243aと、列ソースフォロアバッファ244aと、列選択スイッチ254aと、を含む。

10

【0114】

画素ソースフォロアトランジスタ237bは、上述した画素ソースフォロアトランジスタ237と同様の構成を有する。画素ソースフォロアトランジスタ237bは、一端側が電源電圧VDDに接続され、他端側が垂直転送線239aに接続され、ゲートには基準電圧生成部246aから基準信号用電圧Vfd — Hが入力される。

【0115】

基準電圧生成部246aは、2つの抵抗291および抵抗292からなる抵抗分圧回路と、駆動信号 ϕ VSHで駆動されるスイッチ293と、サンプル容量294と、オペアンプ295と、オペアンプ296と、を含む。基準電圧生成部246aは、スイッチ293の駆動により駆動信号 ϕ VSHが駆動するタイミングで、電源電圧VDDから基準信号用電圧Vfd — Hと、ノイズ除去部243のクランプ電圧Vclpと、を生成する。

20

【0116】

バッファ26aは、水平転送線258から入力される撮像信号および水平転送線258aから入力される基準信号をそれぞれ個別に保持し、タイミング生成部25から入力される信号（駆動信号 ϕ MUXSEL）に基づいて、順次切り替えて撮像信号および基準信号を第2チップ22へ出力する。

【0117】

ここで、バッファ26aの詳細な構成について説明する。バッファ26aは、サンプルホールドスイッチ261eと、サンプル容量261fと、オペアンプ261gと、マルチプレクサ263aと、出力バッファ31と、を含む。

30

【0118】

サンプルホールドスイッチ261eは、一端側が水平転送線258に接続され、他端側が第1オペアンプ261gの入力側（+側端子）に接続され、ゲートには駆動信号 ϕ VSHが供給される信号線が接続される。

【0119】

サンプル容量261fは、一端側がサンプルホールドスイッチ261eの他端側に接続され、他端側がグランドGNDに接続される。サンプル容量261fは、サンプルホールドスイッチ261eがオン状態になる直前の電圧を保持し、サンプルホールドスイッチ261eがオフ状態になっている間は、サンプルホールドスイッチ261eがオン状態になる直前に保持した電圧をマルチプレクサ263aに出力する。

40

【0120】

オペアンプ261gは、入力側（+側端子）がサンプルホールドスイッチ261eの他端側に接続され、出力側がマルチプレクサ263aに接続される。また、オペアンプ261gの出力は、抵抗R1を介してオペアンプ261gの反転入力端子（-側端子）に入力される。さらに、オペアンプ261gの反転入力端子（-側端子）には、抵抗R2を介して基準信号生成部248aから基準信号（基準電圧Vref）が入力される。

【0121】

マルチプレクサ263aは、タイミング生成部25から入力される駆動信号 ϕ MUXSELに基づいて、オペアンプ261gから入力される撮像信号および水平転送線258aを介して基準信号生成部248aから入力される基準信号（基準電圧Vref）を切り換

50

えて出力バッファ 31 へ出力する。

【0122】

このように構成された撮像部 20 の第 1 チップ 21 a は、上述した実施の形態 1 と同様の動作を行い、1 画素毎に、撮像信号と基準信号（基準電圧 V_{ref} ）とを交互に出力バッファ 31 に出力する。これにより、撮像信号生成部 240 a から出力される撮像信号に重畳している電源リップルと同じ電源リップルを含む基準信号（基準電圧 V_{ref} ）を基準信号生成部 248 a から交互に出力することができるので、マルチプレクサ 263 a 以降の後段回路、例えばコネクタ部 5 に設けられる相関二重サンプリング回路で、信号の伝送中に重畳するリップルノイズを効果的に除去することができる。

【0123】

以上説明した本実施の形態 2 によれば、1 画素毎に映像信号と基準信号とを交互に出力することができる。これにより、撮像信号生成部 240 a から出力される撮像信号に重畳している電源のリップル成分と同じ電源リップルを含む基準信号（基準電圧 V_{ref} ）を基準信号生成部 248 a から交互に出力することによって、マルチプレクサ 263 a 以降の後段回路、例えばコネクタ部 5 に設けられる相関二重サンプリング回路で、信号の伝送中に重畳するリップルノイズを効果的に除去することができるので、画質の劣化を防止することができる。

【0124】

また、本実施の形態 2 によれば、基準信号生成部 248 a を画素ソースフォロアトランジスタ 237 b、電流源 242 a、ノイズ除去部 243 a および列ソースフォロアバッファ 244 a のみで構成し、光電変換素子 231 a を省略しているため、第 1 チップ 21 a の面積を上述した実施の形態 1 に比して小さくすることができる。

【0125】

また、本発明では、基準信号生成部は、少なくとも出力回路と等価な構造の出力回路を有していれば良い。具体的には、基準信号生成部は、実施の形態 1, 2 で上述した列ソースフォロアバッファ 244 および列選択スイッチ 254 を含めばよい。

【0126】

このように、本発明は、ここでは記載していない様々な実施の形態を含みうるものであり、特許請求の範囲によって特定される技術的思想の範囲内で種々の設計変更等を行うことが可能である。

【符号の説明】

【0127】

- 1 内視鏡システム
- 2 内視鏡
- 3 伝送ケーブル
- 4 操作部
- 5 コネクタ部
- 6 プロセッサ
- 7 表示装置
- 20 撮像部
- 21, 21 a 第 1 チップ
- 22 第 2 チップ
- 23, 23 a 受光部
- 24 読み出し部
- 25 タイミング生成部
- 26, 26 a, 27 バッファ
- 28 ヒステリシス部
- 31 出力バッファ
- 51 AFE 部
- 52 撮像信号処理部

10

20

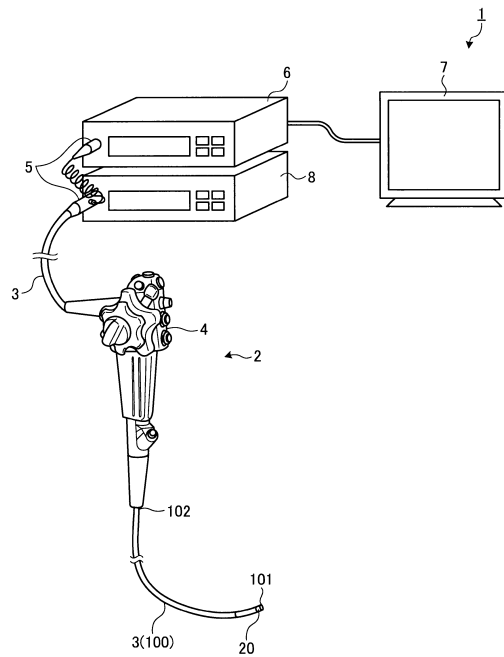
30

40

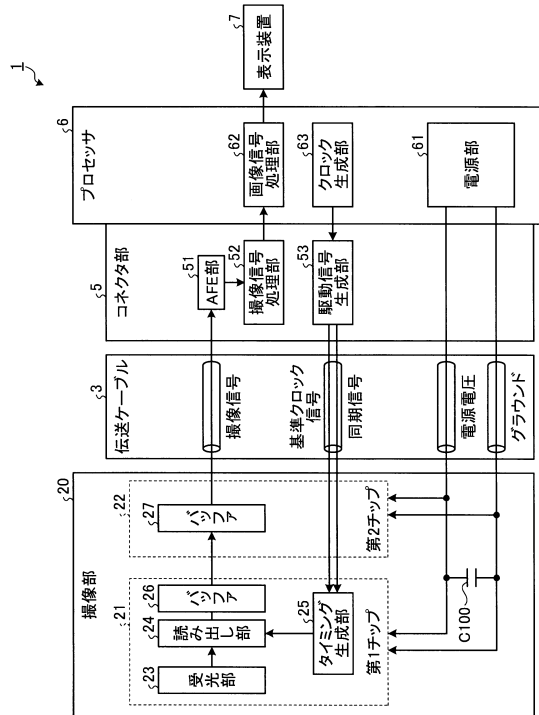
50

5 3	駆動信号生成部	
6 1	電源部	
6 2	画像信号処理部	
6 3	クロック生成部	
2 3 0, 2 3 0 a	単位画素	
2 3 1, 2 3 1 a, 2 3 2	光電変換素子	
2 3 3, 2 3 3 a	電荷変換部	
2 3 4, 2 3 4 a, 2 3 5	転送トランジスタ	
2 3 6, 2 3 6 a	画素リセット部	
2 3 7, 2 3 7 a, 2 3 7 b	画素ソースフォロアトランジスタ	10
2 3 8	画素出力スイッチ	
2 3 9, 2 3 9 a	垂直転送線	
2 4 0, 2 4 0 a	撮像信号生成部	
2 4 1	垂直走査部	
2 4 2, 2 4 2 a	電流源	
2 4 3, 2 4 3 a	ノイズ除去部	
2 4 4, 2 4 4 a	列ソースフォロアバッファ	
2 4 5	水平走査部	
2 4 6, 2 4 6 a	基準電圧生成部	
2 4 8, 2 4 8 a	基準信号生成部	20
2 5 2, 2 5 2 a	転送容量	
2 5 3, 2 5 3 a	クランプスイッチ	
2 5 4, 2 5 4 a	列選択スイッチ	
2 5 6	水平リセットトランジスタ	
2 5 7, 2 5 7 a	定電流源	
2 5 8, 2 5 8 a	水平転送線	
2 6 3, 2 6 3 a	マルチプレクサ	
【要約】		
画像信号に重畳された電源の同相揺らぎ成分を除去することができる撮像素子、撮像装置、内視鏡および内視鏡システムを提供する。第 1 チップ 2 1 は、二次元マトリクス状に配置され、各々が外部から光を受光し、受光量に応じた電荷を蓄積する複数の光電変換素子を有する受光部 2 3 と、複数の光電変換素子の各々で蓄積された電荷を電圧に変換して撮像信号を生成する撮像信号生成部 2 4 0 と、撮像信号生成部 2 4 0 によって生成された撮像信号と同相の揺らぎ成分を持つ基準信号を生成する基準信号生成部 2 4 8 と、を備える。		30

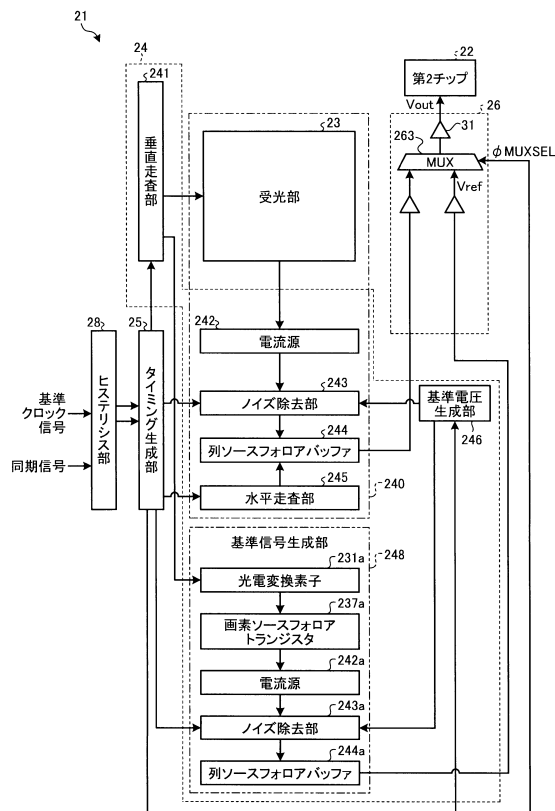
【 図 1 】



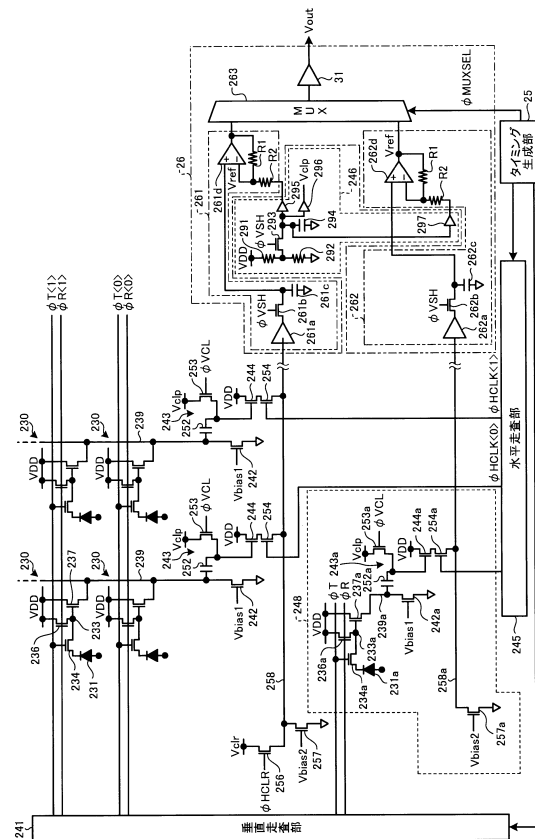
【 図 2 】



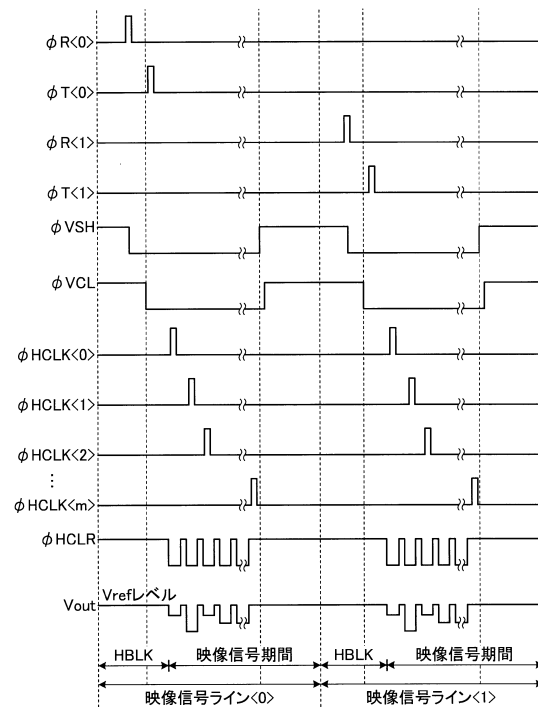
【圖 3】



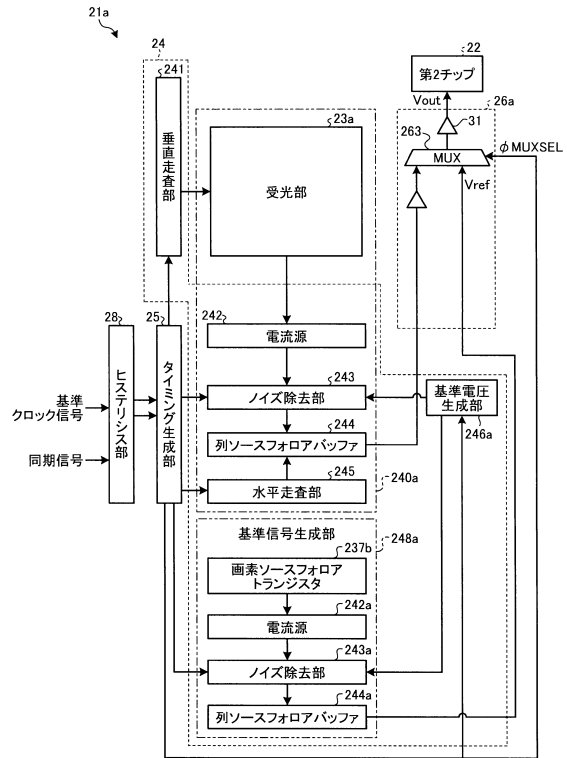
【 図 4 】



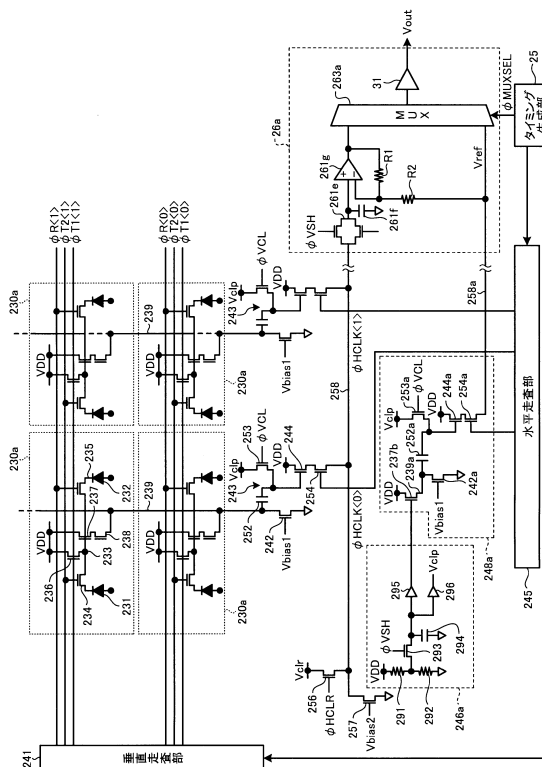
【図 5】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 萩原 義雄
東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内
- (72)発明者 山崎 晋
東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内

審査官 鈴木 明

- (56)参考文献 特開2007-159115(JP,A)
特開平11-177886(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|----------------|
| H04N | 5/30 - 5/378 |
| A61B | 1/04 |
| G02B | 23/24 |
| H01L | 27/14 - 27/148 |

专利名称(译)	成像装置，成像装置，内窥镜和内窥镜系统		
公开(公告)号	JP5932182B1	公开(公告)日	2016-06-08
申请号	JP2016504831	申请日	2015-09-15
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	小野誠 赤羽奈々 齋藤匡史 萩原義雄 山崎晋		
发明人	小野 誠 赤羽 奈々 齋藤 匡史 萩原 義雄 山崎 晋		
IPC分类号	H04N5/357 A61B1/04 G02B23/24 H01L27/146		
CPC分类号	H04N5/357 A61B1/00009 A61B1/045 A61B1/05 G02B23/2484 H04N5/3655 H04N5/378 H04N2005/2255		
FI分类号	H04N5/335.570 A61B1/04.372 G02B23/24.B H01L27/14.A		
代理人(译)	酒井宏明		
审查员(译)	铃木 明		
优先权	2014204820 2014-10-03 JP		
其他公开文献	JPWO2016052173A1		
外部链接	Espacenet		

摘要(译)

(ZH) 提供了一种能够去除叠加在图像信号上的电源的共模波动分量的图像拾取元件，图像拾取装置，内窥镜和内窥镜系统。第一芯片21以二维矩阵布置，每个二维矩阵均从外部接收光，并且具有多个光电转换元件和多个光电转换元件，所述光电转换元件存储根据接收的光量的电荷。成像信号生成单元240，其将每个中累积的电荷转换为电压以生成成像信号；以及参考信号生成，该参考信号生成，该参考信号具有与由成像信号生成单元240生成的成像信号同相的波动分量。和第248条。

(21) 出願番号	特願2016-504831 (P2016-504831)	(73) 特許権者	000000376
(86) (22) 出願日	平成27年9月15日 (2015. 9. 15)		オリンパス株式会社
(86) 国際出願番号	PCT/JP2015/076145		東京都八王子市石川町2951番地
審査請求日	平成28年2月1日 (2016. 2. 1)	(74) 代理人	100089118
(31) 優先権主張番号	特願2014-204820 (P2014-204820)		弁理士 酒井 宏明
(32) 優先日	平成26年10月3日 (2014. 10. 3)	(72) 発明者	小野 誠
(33) 優先権主張国	日本国 (JP)		東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内
早期審査対象出願		(72) 発明者	赤羽 奈々
			東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内
		(72) 発明者	齋藤 匡史
			東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内